

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284604  
 (43)Date of publication of application : 12.10.2001

(51)Int.CI.

H01L 29/872

(21)Application number : 2000-097554  
 (22)Date of filing : 31.03.2000

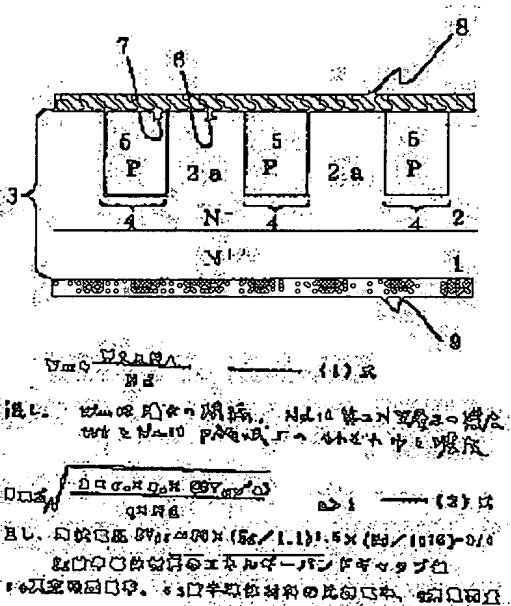
(71)Applicant : SHINDENGEN ELECTRIC MFG CO LTD  
 (72)Inventor : KITADA MIZUE  
 KURI SHINJI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a Schottky diode structure which is improved in forward characteristics by lessening the reverse leakage current.

**SOLUTION:** On the surface of an N type substrate 1 connected to a cathode 9 and formed with an N type low concentration layer 2, recesses 4 are formed at intervals of Wm. The recesses 4 are filled with polycrystalline silicon to form P regions 5. On the upper face 7 of the P regions 5 and the upper face 6 of the other part, an anode 8 which satisfies the following formulae is Schottky-bonded:  
 $Wm \geq Wt \times Na/Nb$  ( $Wm$  is the intervals between the recesses 4,  $Nd$  is the concentration of the second N type layer 2, and  $Wt$  and  $Na$  are the width and the concentration of the P regions 5 respectively),  
 $Wm \cdot [2 \times \epsilon_0 \times \epsilon_S \times (BVAK/n)/q \times Nd]^{1/2}$  (the breakdown voltage  $BVAK = 60 \times (Eg/1.1)^{1.5} \times (Nd/1016)^{-3/4}$ ,  $Eg$  is the energy band gap of the semiconductor material,  $\epsilon_0$  is the permittivity of vacuum,  $\epsilon_S$  is the dielectric constant of the semiconductor material,  $q$  is the elementary electric charge, and  $n > 1$ ).



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-284604  
(P2001-284604A)

(43)公開日 平成13年10月12日 (2001.10.12)

(51) Int.Cl.<sup>7</sup>  
H 01 L 29/872

識別記号

F I  
H 01 L 29/48

テ-マコト<sup>\*</sup> (参考)  
F 4 M 1 0 4

審査請求 未請求 請求項の数 3 ○ L (全 6 頁)

(21)出願番号 特願2000-97554(P2000-97554)

(22)出願日 平成12年3月31日 (2000.3.31)

(71)出願人 000002037  
新電元工業株式会社  
東京都千代田区大手町2丁目2番1号  
(72)発明者 北田 瑞枝  
埼玉県飯能市南町10番13号新電元工業株式  
会社工場内  
(72)発明者 九里 伸治  
埼玉県飯能市南町10番13号新電元工業株式  
会社工場内  
(74)代理人 100102875  
弁理士 石島 茂男 (外1名)  
Fターム(参考) 4M104 AA01 BB00 BB01 CC03 DD04  
DD08 DD15 DD16 DD34 EE09  
EE14 FF32 GG03 HH20

(54)【発明の名称】 半導体装置

(57)【要約】 (修正有)

【課題】逆方向漏れ電流を小さくし、順方向特性を改善したショットキーダイオード構造を提供する。

【解決手段】カソード9に接続したN型基板1上にN型低濃度層2を成膜した表面に間隔Wmで溝4を形成し多結晶SiのP領域5を充填した両上面6・7にアノード8の構造で下式1・2を満足させるものをショットキ接合する。

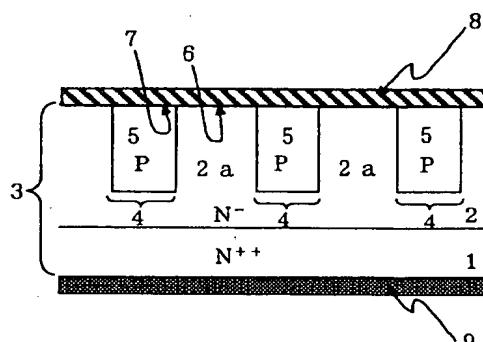
$$W_m = \sqrt{\frac{2 \times \epsilon_s \times \epsilon_a \times (BV_{AK} - a)}{q \times N_d}} \quad (1) \text{式}$$

但し、Wmは溝の間隔、Ndは第2N型層の濃度  
wt%NaはP領域5の純度よりの濃度

$$W_m = \sqrt{\frac{2 \times \epsilon_s \times \epsilon_a \times (BV_{AK} - a)}{q \times N_d}} \quad a > 1 \quad (2) \text{式}$$

但し、閾伏電圧  $BV_{AK} = 60 \times (\epsilon_s / 1.1) \cdot 5 \times (Nd / 10^{16})^{-3/4}$

$\epsilon_s$ 該半導体材料のエネルギーバンドギャップ値  
 $a$ 真空 純電率、 $\epsilon_a$ 該半導体材料の比誘電率、 $q$ 電子電荷量



## 【特許請求の範囲】

【請求項1】一導電型の第1半導体層と、該第1半導体層より低不純物濃度の一導電型の第2半導体層とを積層して成る半導体基板と、該第2半導体層表面に所定の幅と間隔を持って形成されたトレンチ部と、該トレンチ部に充填形成された他の導電型の半導体層と、該第2半導体層表面と該半導体層表面に接続して形成されたショットキー金属電極と、該第1半導体層表面に形成されたオーム接続された半導体装置において、該半導体層の幅をWt、不純物濃度をNa、該第2半導体層の不純物濃度をNd、隣接する該半導体層間の該第2半導体層の間隔をWm、該Ndに対する降伏電圧をBVAKとし、該Wt、Na、Nd、Wm及びBVAKが下記の(1)式及び(2)式を満足する関係に設定したことを特徴とする半導体装置。

【数1】

$$Wm \leq \frac{Wt \times Na}{Nd} \quad \dots \dots \quad (1) \text{式}$$

【数2】

$$Wm \leq \sqrt{\frac{2 \times \epsilon_s \times \epsilon_0 \times (BV_{AK}/n)}{q \times Nd}} \quad n > 1 \quad \dots \dots \quad (2) \text{式}$$

但し、 $BV_{AK} = 60 \times (Eg/1.1)^{1.5} \times (Nd/10^{16})^{-3/4}$   
Eg該半導体材料のエネルギー・バンドギャップ値、 $\epsilon_0$ 真空の誘電率、 $\epsilon_s$ 該半導体材料の比誘電率、q素電荷量

【請求項2】トレンチ部の側壁及び底面の全面に予め絶縁膜を形成したことを特徴とする請求項1の半導体装置。

【請求項3】トレンチ部に充填形成された半導体層の表面に該半導体層と反対導電型の高不純物濃度層を設け、該高不純物濃度層がショットキー金属電極とオーム接続されたことを特徴とする請求項1又は請求項2の半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する分野】本発明は半導体装置、特にショットキーバリアダイオードの構造に関する物である。

【0002】

【従来の技術】ショットキーバリアダイオードSBDは順方向電圧が低くスイッチング速度が速い反面、逆方向漏れ電流が大きく、逆方向降伏電圧が低いと言う欠点がある。また、特に100V以上の中高耐圧品においては熱暴走を抑える為に逆方向漏れ電流を小さくする必要があり、ショットキーバリアを高くしつつ空乏層が広がるようにドリフト領域の不純物濃度を低くしなければならず、順方向特性が悪化する。

【0003】低耐圧品で使われるジャンクションによるピンチオフ効果を利用して漏れ電流を小さくする構造を図10に示す。同図において高不純物濃度のN型半導体基板1(以降N型基板1と称す)の上に低不純物濃度のN型半導体層2がエピタキシャル成長法により形成される

(以降、Nエピ層2と称す)。Nエピ層2の主表面に高不純物濃度のP型半導体領域19(以降、P+領域19と称す)が所定の間隔を置いて(拡散又は溝への多結晶シリコンの埋め込みにより)配置される。Nエピ層2の主表面6とP+領域19の表面20とに接続されるアノード電極膜8が形成され、該アノード電極膜8はNエピ層2の主表面6とはショットキー接続をしている。N型基板1の他方表面にはN型基板1とオーム接続するカソード電極膜9が形成されている。

【0004】図10のSBDにおいて逆方向に電圧を印加していくと、図11の様に隣り合ったP+領域19の側面21、22からP+領域19に挟まれたNエピ層2の領域2aに空乏層23-1が伸びて来る。更に逆方向電圧を印加していくとP+領域19の側面21、22から伸びてきた空乏層端が接触し(ピンチオフ)、一つの幅の広い空乏層23-2になることでNエピ層2の主表面6とアノード電極膜8の界面にかかる電界が緩和され、逆方向漏れ電流を低減することが出来る。図12にピンチオフ状態にある図10の半導体装置に逆方向降伏電圧まで印加した時のP+領域19とP+領域19で挟まれたNエピ領域2aの中央A、B縦方向の電界強度分布を示す。先にも述べた通り、Nエピ層2の主表面6とアノード電極膜8の界面にかかる電界が緩和されていることが図12より判る。

【0005】しかし、図10の構造を100V以上の中高耐圧品に適用するとP+領域19の底部24とNエピ層2とのPN接合部での電界が高くなり、逆方向耐圧劣化に繋がる。逆方向耐圧を保つ為には、Nエピ層2の不純物濃度を低くしなければならず順方向特性が悪化する。

【0006】また、P+領域19の底部の電界を緩和する為に図13の様に図10のP+領域19の底の領域のみを低不純物濃度のP型半導体領域25で形成する構造がある。しかし、該P型半導体領域25の不純物濃度が所望の濃度より低くなるとP+領域19底部に電界が集中して逆方向耐圧の劣化を招き、また、該P型半導体領域25の不純物濃度が所望の濃度より高くなると該P型半導体領域25の底部で電界が集中し、逆方向耐圧が劣化する。また、前記構造の場合、底の不純物濃度の低い領域を大きく取らないと充分な電界緩和が出来ないが、低不純物濃度領域を該P型半導体領域25の下方へ更に伸ばすとNエピ層2の厚さを増やさねばならず、順方向特性が悪化するというトレードオフの関係に有る。

【0007】

【発明が解決しようとする課題】100V以上の中高耐圧のショットキーバリアダイオードにおいて、熱暴走を防ぐ為に逆方向漏れ電流を小さくして、且つ逆方向耐圧を確保しようとするとNエピ層の不純物濃度を低くするか、ジャンクションによるピンチオフ効果を利用する為、順方向特性が悪化するというトレードオフの関係に有る。本発明は逆方向漏れ電流を従来のレベルに維持し

たまま順方向特性を大きく改善したショットキーバリアダイオード等の半導体装置を提供する。

#### 【0008】

【課題を解決する手段】上記課題を解決するため請求項1の発明は、一導電型の第1半導体層と、該第1半導体層より低不純物濃度の一導電型の第2半導体層とを積層して成る半導体基板と、該第2半導体層表面に所定の幅と間隔を持って形成されたトレンチ部と、該トレンチ部に充填形成された他の導電型の半導体層と、該第2半導体層表面と該半導体層表面に連接して形成されたショットキーメタル電極と、該第1半導体層表面に形成されたオーム電極を備えた半導体装置において、該半導体層の幅をWt、不純物濃度をNa、該第2半導体層の不純物濃度をNd、隣接する該半導体層間の該第2半導体層の間隔をWm、該Ndに対する降伏電圧をBVAKとし、該Wt、Na、Nd、Wm及びBVAKが下記の(1)式及び(2)式を満足する関係に設定したことを特徴とする。

#### 【数1】

$$Wm \leq \frac{Wt \times Na}{Nd} \quad \dots \quad (1) \text{式}$$

#### 【数2】

$$Wm \leq \sqrt{\frac{2 \times \epsilon_0 \times \epsilon_s \times (BV_{AK}/n)}{q \times Nd}} \quad n > 1 \quad \dots \quad (2) \text{式}$$

但し、 $BV_{AK} = 60 \times (Eg/1.1)^{1.5} \times (Nd/10^{16})^{-3/4}$

Eg該半導体材料のエネルギー-bandギャップ値、 $\epsilon_0$ 真空の誘電率、 $\epsilon_s$ 該半導体材料の比誘電率、q素電荷量

【0009】上記課題を解決するための請求項2の発明は、トレンチ部の側壁及び底面の全面に予め絶縁膜を形成したことを特徴とする。

【0010】又、上記課題を解決するための請求項3の発明は、トレンチ部に充填形成された半導体層の表面部に該半導体層と反対導電型の高不純物濃度層を設け、該高不純物濃度層がショットキーメタル電極とオーム接続されたことを特徴とする。

#### 【0011】

【実施の態様】図1は本発明の一実施例を示す模式的断面図で、第1導電型の第1半導体層(N型基板)1と該第1層より低不純物濃度の第1導電型の第2半導体層(Nエビ層)2とを積層して成る半導体基板3と、この半導体基板3の一方の主表面側(上方)のNエビ層2の表面に所定の間隔を持って所定の幅で形成された溝4の中に第2導電型の多結晶シリコンをNエビ層2の表面まで充填した第3半導体領域(P-領域)5と、Nエビ層2の表面6とP-領域5の表面7の両方に接触し、且つ、Nエビ層の表面6とはショットキーリードする金属で出来た第1電極膜(アノード電極膜)8と、半導体基板3の他方の主面(下方)にN型基板1とオーム接続する第2電極膜(カソード電極膜)9を具備した構造において、P-領域5の不純物濃度が、Nエビ層2とP-領域5とから成るPN接合に逆方向に電圧が印加された時にP-領域5が全

て空乏化されるような低濃度とした構造の半導体装置である。

【0012】以下図2、図3を参照して説明する。図2、図3は本発明実施例の動作説明図で、先ず半導体装置に逆方向電圧が加わり始めた時、図2に示すように隣り合った溝4の向かい合った側壁11、12から溝4に挟まれたNエビ領域2aとP-領域5に空乏層13、14が横方向へ伸びて来る。更に逆方向電圧が加わった時にNエビ層2の表面に形成した溝4の間隔Wmは、隣り合った溝4の向かい合った側壁11、12から伸びて来る空乏層同士が繋がるような距離Wmにした方がよい。隣り合った溝4から伸びてきた空乏層同士が繋がるような距離Wmとは、P-領域5が全て空乏化した時に溝4に挟まれたNエビ領域2aも全て空乏化する距離Wmを意味し、この距離Wmは溝4に形成されたP-領域5の幅Wtと濃度Naと、Nエビ層2の濃度Ndとに関係し、およそ以下の(1)式で表せる。

#### 【0013】

#### 【数1】

$$Wm \leq \frac{Wt \times Na}{Nd} \quad \dots \quad (1) \text{式}$$

またこの時、Nエビ領域2aにおいて隣り合った溝4から伸びてきた空乏層同士が繋がる前にNエビ層2とP-領域5とから成るPN接合部の電界が降伏限界まで達することの無い様に次の(2)式を満たす必要がある。この時、Nエビ層2の濃度Ndにおける逆方向降伏電圧はBVAKは次式の様になる。 $BV_{AK} = 60 \times (Eg/1.1)^{1.5} \times (Nd/10^{16})^{-3/4}$  但し、Egは該半導体材料のエネルギー-bandギャップ値

#### 【数2】

$$Wm \leq \sqrt{\frac{2 \times \epsilon_0 \times \epsilon_s \times (BV_{AK}/n)}{q \times Nd}} \quad n > 1 \quad \dots \quad (2) \text{式}$$

(2)式において、 $\epsilon_0$ は真空の誘電率、 $\epsilon_s$ は半導体材料の比誘電率、BVAKは逆方向降伏電圧、qは素電荷量、NdはNエビ層2の不純物濃度である。

【0014】この(1)式、(2)式が成立する条件下でのみP-領域5が全て空乏化した時にNエビ領域2aも全て空乏化する。即ち、P-領域5もNエビ領域2aも空乏化することで図3に示すようにアノード電極膜8

から溝4の底部までの幅の広い1つの繋がった空乏層15が出来る。更に逆方向電圧をかけて行った時、この幅の広い空乏層15が出来た後にかかる電圧は、ほぼこの幅の広い空乏層15中にかかる。この幅の広い空乏層15は溝4の側壁11、12から横方向へ伸びた空乏層が繋がったことにより出来た物である。溝4から横方向に伸びた空乏層13が繋がった時点ではまだ空乏層15中の電界は小さい。更に逆方向電圧を印加していくと空乏層15中の電界強度が全体的に上がって来る。前記電界強度が臨界値に達した時、降伏が始まる。PN接合の逆方向耐圧の場合、降伏は電界強度が一番高くなるPN接合

部付近で起こるが、本発明の半導体装置の構造の場合は、PN接合部付近で降伏が起こることは一概には言えない。前記空乏層15を作ることでPN接合の電界強度を十分緩和することが出来、PN接合部付近で降伏を起こすよりも早く、P<sup>-</sup>領域5に挟まれたNエビ領域2aの隣り合う溝4間の中央部が降伏電圧に達することもある。

【0015】図1の半導体装置に逆方向降伏電圧まで印加した時のP<sup>-</sup>領域5と溝4で挟まれたNエビ領域2aの中央A、B縦方向の電界強度分布を図4に示す。前述の通り、前記空乏層15中の電界強度は全体的に上がつて来る。空乏層中の電界強度は溝4の側壁11、12から横方向に伸びた空乏層13が繋がって空乏化した時と同じ傾きで大きくなり、空乏層15中でほぼ一様になり、電界強度が特に高くなる所が無い。この為、溝4の側壁11、12から横方向に伸びた空乏層13が繋がる様なNエビ層2の不純物濃度N<sub>d</sub>であれば、従来構造品の様にNエビ層2の不純物濃度を低くしなくとも溝4の深さを深くするだけで空乏層15の幅を更に大きくすることが出来、逆方向耐圧を上げることが出来る。よって、Nエビ層2の主表面6とアノード電極膜8の界面にかかる電界強度を従来構造品のレベルに維持したまま、順方向特性を大きく改善することが出来る。

【0016】本発明の構造ではアノード電極膜8から下方に伸びた空乏層15の幅を変えることのみで逆方向耐圧を決めることが出来る。言い換えるとP<sup>-</sup>領域5のある溝4の深さで逆方向耐圧は決まってくる。よって、溝4で挟まれたNエビ領域2aの幅W<sub>m</sub>とNエビ層2の不純物濃度を溝4から横方向に伸びて来る空乏層13が繋がるように設定すれば、従来構造品の様に逆方向耐圧を出す為にNエビ層2の不純物濃度を低くしなくても中高耐圧を出すことが出来る。即ち、逆方向電圧を印加した時の漏れ電流の増加無く、順方向特性を大幅に改善することが出来る。

【0017】次に本発明装置（ショットキーバリアダイオード）の製法について図8を参照して説明する。図8は該SBDの製造工程を示す断面図である。先ず図8(a)に示すようにN型基板1（砒素濃度 $2 \times 10^{19}$  atoms/cm<sup>3</sup>）の上にNエビ層2（磷濃度N<sub>d</sub>= $1 \times 10^{16}$  atoms/cm<sup>3</sup>）をエピタキシャル成長法により厚さ $10 \mu\text{m}$ 程度積層した半導体基板3を形成する。次に同図(b)に示すようにNエビ層2の表面に熱酸化により酸化珪素膜18を5000Å程度形成した後、光蝕刻法により溝4を形成する為の部分の酸化珪素膜18を幅W<sub>t</sub>= $0.6 \mu\text{m}$ 程度、間隔W<sub>m</sub>= $2.4 \mu\text{m}$ 程度でストライプ状に部分的に除去し、これをマスクとしてNエビ層2のシリコンをガスでエッチングし、Nエビ層表面から深さ方向で $6 \mu\text{m}$ 程度の溝4を掘る。この時、前述の(2)式のnはn=1.42となる。次に同図(c)に示すように溝4の内部とNエビ層2の表面に硼素がN<sub>a</sub>= $4 \times 10^{16}$  atoms/cm<sup>3</sup>程度ドープされた多結晶シリコンを $1 \mu\text{m}$ 程度積層し、Nエビ層2の表面とほ

ぼ同じ高さに成るまでエッチバックする。次に同図(d)に示すように溝4を掘る時のマスクとして使用した酸化珪素膜18をエッティングで取り除き、Nエビ層2の表面6と溝4に埋め込んだ多結晶シリコン表面7と共にショットキーバリアメタルを蒸着してアノード電極膜8を形成し、裏面となるもう一方のN型基板面にカソード電極膜9を形成することで、本発明の実施例は完成する。（周辺構造の実施例については省略する）

【0018】図5、図6及び図7は本発明の他の実施例構造を示す。断面図で図5は、低不純物濃度の多結晶シリコン（P<sup>-</sup>領域5）を溝4の中に充填する際、溝4の側壁11、12及び底面10に予め絶縁膜16を形成した後にP<sup>-</sup>領域5を設けた例を示す。この絶縁膜16は、多結晶シリコンとNエビ層2の間に逆方向電圧が印加された時の漏れ電流をほぼ0にする働きをする。また、図6は逆方向電圧を印加した時にP<sup>-</sup>領域5に伸びる空乏層14がP<sup>-</sup>領域5の表面7に達しない様に高不純物濃度の第2導電型の第4半導体領域（P<sup>++</sup>領域）17を設けた例を示す。このP<sup>++</sup>領域17は逆方向電圧が印加された時の空乏層14がP<sup>-</sup>領域5の表面7で接触するアノード電極膜8に達すること（パンチスル）による漏れ電流を抑えると共にP<sup>-</sup>領域5の表面7で接触するアノード電極膜8とオーミック接続することによりP<sup>-</sup>領域5の電位をアノード電極膜8の電位と同じにすることが出来る。

【0019】更に図7は、前述の構造を組み合わせた構造を示し、溝4の中に絶縁膜16を付けた構造のP<sup>-</sup>領域5の表面にP<sup>++</sup>領域17を設けた例を示す。また、P<sup>-</sup>領域5を形成する際、多結晶シリコンではなくエピタキシャル成長によりP<sup>-</sup>領域を形成しても良い。エピタキシャル成長でP<sup>-</sup>領域を形成することで、多結晶シリコンでP<sup>-</sup>領域5を形成した時に起る逆方向漏れ電流を低減する事が出来る。この構造も前述の構造全てに適用できる。

#### 【0020】

【発明の効果】以上のように本発明ではNエビ層表面に掘った溝の中にP<sup>-</sup>領域を設け、このP<sup>-</sup>領域と溝に挟まれたNエビ層の領域とに溝の側面のPN接合から伸びた空乏層同士が繋がることにより、表面から溝の底部までの幅の広い空乏層を作り出すことで、逆方向耐圧を出すことが出来る。この為、Nエビ層の不純物濃度を低くしなくても溝の深さを変えるだけで逆方向耐圧を上げることが出来、逆方向特性を変えないで、順方向特性を大幅に改善することが出来るショットキーバリアダイオード等の半導体装置を提供することが出来る。

#### 【図面の簡単な説明】

【図1】 本発明の一実施例を示す概略断面図

【図2】 本発明実施例の動作説明図

【図3】 本発明実施例の動作説明図

【図4】 本発明実施例の電界強度分布特性図

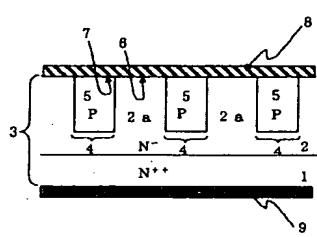
- 【図5】本発明の他の実施例を示す概略断面図  
 【図6】本発明の他の実施例を示す概略断面図  
 【図7】本発明の他の実施例を示す概略断面図  
 【図8】本発明の一実施例装置の製法を示す工程断面図  
 【図9】本発明の実施例装置の概略平面図  
 【図10】従来装置の概略断面図  
 【図11】従来装置の動作説明図  
 【図12】従来装置の電界強度分布特性図

【図13】従来装置の概略断面図

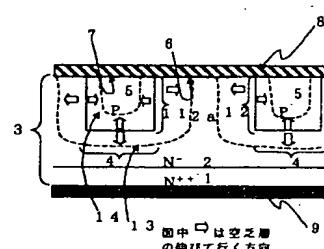
## 【符号の説明】

- 1 : 半導体層
- 2 : N型半導体層（エビ層）
- 3 : 半導体基板（N）
- 4 : トレンチ部
- 5 : 半導体層（P）
- 8 : アノード電極膜
- 9 : カソード電極膜

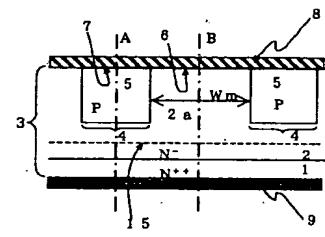
【図1】



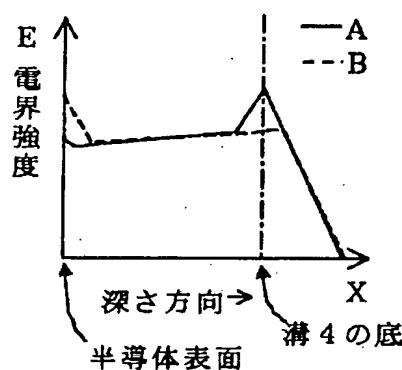
【図2】



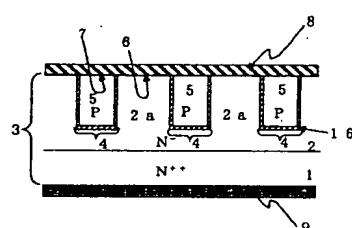
【図3】



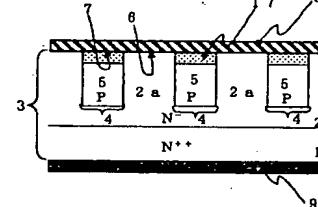
【図4】



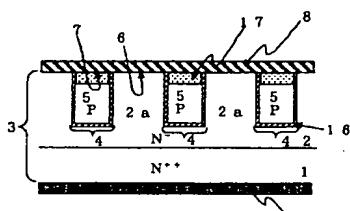
【図5】



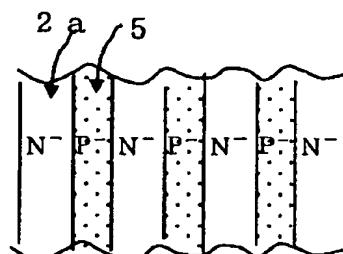
【図6】



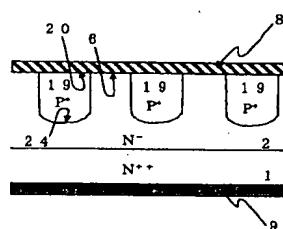
【図7】



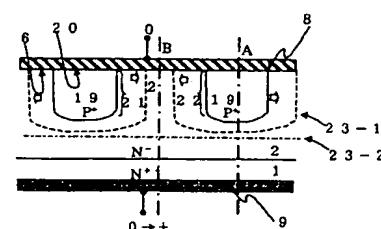
【図9】



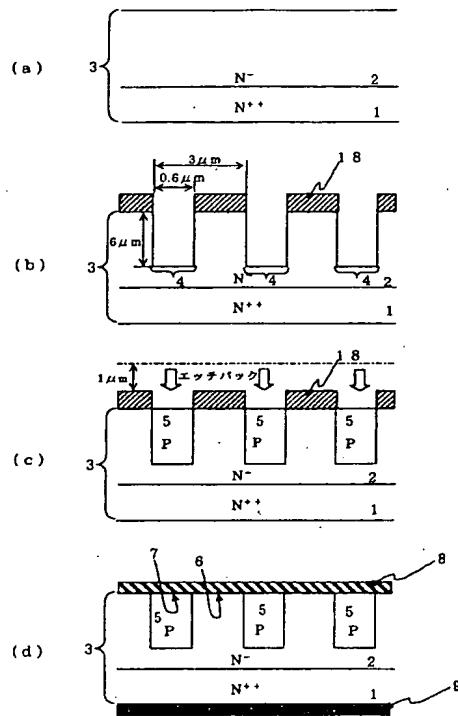
【図10】



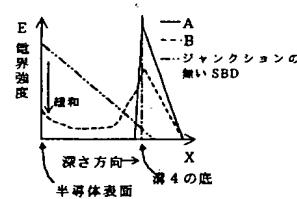
【図11】



【図8】



【図12】



【図13】

